

?S PN=08045874
S1 1 PN=08045874
?T 1/5

1/5/1

DIALOG(R)File 347:JAPIO
(c) JPO & JAPIO. All rts. reserv.

05090374

SEMICONDUCTOR DEVICE

PUB. NO.: 08-045874 [JP 8045874 A]

PUBLISHED: February 16, 1996 (19960216)

INVENTOR(s): MOTOFUSA KEIICHIROU

APPLICANT(s): MITSUMI ELECTRIC CO LTD [000622] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 06-197421 [JP 94197421]

FILED: July 30, 1994 (19940730)

INTL CLASS: [6] H01L-021/28; H01L-021/3205; H01L-029/872; H01L-021/331;
H01L-029/73

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

ABSTRACT

PURPOSE: To restrain the generation of Al alloy spikes by forming a window part in an oxide film on a semiconductor substrate and forming a metal layer comprising a Al-Si layer of a specified silicon content on the top of this window part.

CONSTITUTION: After an insulation layer 19 of an oxide film is formed on the surface of a semiconductor substrate device 11, a window part is formed on an electrode take-out part of this insulation layer 19. An n^(sup -)-type layer 14 and an n^(sup +)-type layer 18 surrounded by a semiconductor layer in the lower part, namely, an n^(sup +)-type diffusion layer 17a of a bipolar transistor, a p-type diffusion layer 15, an n^(sup +)-type diffusion layer 16, and a p-type layer 15' of a Schottky barrier diode, are exposed, and a metallic layer 20 is formed on the top of it. This enables take-out electrodes 20, 20b, and 20c to be formed by the metallic layer 20 in the bipolar transistor. The metallic layer 20 here does not comprise pure-Al but Al-Si of a silicon content under 1%.

(19) 日本国特許庁 (J P)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開平8-45874

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I
H 01 L 21/28 301 M
21/3205
29/872

H 01 L 21/88 N
29/48 S

審査請求 未請求 請求項の数 2 FD (全 4 頁) 最終頁に続く

(21) 出願番号 特願平6-197421

(22) 出願日 平成6年(1994)7月30日

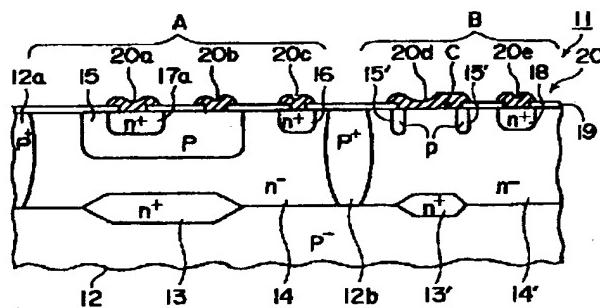
(71) 出願人 000006220
ミツミ電機株式会社
東京都調布市国領町8丁目8番地2
(72) 発明者 本房 敬市郎
神奈川県厚木市酒井1601 ミツミ電機株式
会社厚木事業所内

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 本発明は、A1アロイスパイクの発生が抑制され、微細化が可能になると共に、ショットキーバリアダイオードの低い順方向電圧が得られるようにした、半導体装置を提供することを目的とする。

【構成】 表面に酸化膜19が形成された半導体基板12に関して、酸化膜に窓部を形成して、該窓部にて酸化膜の下方の半導体層17a, 15, 16, 14', 18を露出させ、該窓部の上に金属層20を形成することにより、取出し電極20a, 20b, 20c, 20eまたは配線パターンを構成すると共に、該金属層20dと半導体層14'との間に整流性接合Cを構成するようにした、半導体装置において、上記金属層が、シリコン含有率1%以下のA1-Si層から成るように、半導体装置を構成する。



【特許請求の範囲】

【請求項1】 表面に酸化膜が形成された半導体基板上に関して、酸化膜に窓部を形成して、該窓部にて酸化膜の下方の半導体層を露出させ、該窓部の上に金属層を形成することにより、取出し電極または配線パターンを構成するようにした、半導体装置において、
上記金属層が、シリコン含有率1%以下のA1-Si層から構成されていることを特徴とする、半導体装置。

【請求項2】 表面に酸化膜が形成された半導体基板上に関して、酸化膜に窓部を形成して、該窓部にて酸化膜の下方の半導体層を露出させ、該窓部の上に金属層を形成することにより、該金属層と半導体層との間に整流性接合を構成するようにした、半導体装置において、
上記金属層が、シリコン含有率1%以下のA1-Si層から構成されていることを特徴とする、半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の表面に酸化膜を介して金属層を形成して、取出し電極または配線パターンを形成し、あるいは整流性接合を構成するようにした、半導体装置に関するものである。

【0002】

【従来の技術】 従来、バイポーラトランジスタ及びショットキーバリアダイオードを含む半導体装置は、例えば図2に示すように構成されている。即ち、図2において、半導体装置1は、バイポーラトランジスタの領域A(図2の左側)においては、p型シリコン基板2の表面に対して、熱拡散等によってn⁺型埋込層3を形成し、該基板2の表面全体に亘ってエピタキシャル成長等によりn⁻型層4を形成した後に、該n⁻型層4の周囲にp⁺型層2a, 2bを形成することにより、上記n⁻型層4を分離し、続いて、該n⁻型層4の表面に、熱拡散によりp型拡散層5を形成すると共に、該p型拡散層5とp⁺型層2bの間の領域に、熱拡散によりn⁺型拡散層6を形成し、さらに該p型拡散層5の表面に、熱拡散によりn⁺型拡散層7aを形成することにより、バイポーラトランジスタが構成されている。

【0003】 また、バイポーラIC1の領域B(図2の右側)においては、p型シリコン基板2の表面に対して、熱拡散等によってn⁺型埋込層3'を形成し、該基板2の表面全体に亘ってエピタキシャル成長等によりn⁻型層4'を形成した後に、上記n⁻型層4'のn⁺型埋込層3'の上方領域の周囲に、熱拡散によりp型層5'を形成すると共に、該p型層5'の側方にて、該n⁻型層4'の表面に、熱拡散によりn⁺型層8を形成することにより、ショットキーバリアダイオードが構成されている。

【0004】 このように構成された半導体装置1は、さらに、その表面に酸化膜による絶縁層9を形成した後、該絶縁層9の電極取出し部分に窓部を形成して、下方の

半導体層、即ちバイポーラトランジスタのn⁺型拡散層7a, p型拡散層5及びn⁺型拡散層6と、ショットキーバリアダイオードのp型層5'に包囲されたn⁻型層4'及びn⁺型層8を露出させ、その上から、金属層10を形成する。これにより、バイポーラトランジスタにおいては、金属層10により、取出し電極10a, 10b, 10cが形成されることになり、またショットキーバリアダイオードにおいては、金属層10により、電極10dとその下方のn⁻型層4'の間に、整流性接合が構成されると共に、取出し電極10eが形成されることになる。さらに、その上から保護層を被せることにより、半導体装置1が完成するようになっている。

【0005】 かくして、半導体装置1のうち、バイポーラトランジスタは、p型拡散層5がベースとして、n⁺型拡散層6がコレクタとして、さらにn⁺型拡散層7aがエミッタとして、それぞれ作用するようになっている。また、ショットキーバリアダイオードは、電極10dと下方のn⁻型層4'がショットキーバリアを構成し、さらに金属層10eが取出し電極として作用し、その際、p型層5'がガードリングとして作用することにより、電界集中による逆方向リーク電流を緩和するようになっている。

【0006】 ここで、上記金属層10は、一般的には、Siを含有していない純粋アルミニウム金属(pure-A1)から構成されている。これにより、ショットキーバリアダイオードに関しては、比較的低い順方向電圧が得られるようになっている。

【0007】

【発明が解決しようとする課題】 しかしながら、このような構成の半導体装置1においては、金属層10としてpure-A1が使用されていることから、該金属層10のシンタリング等の熱処理の際に、半導体層のSiがA1内に吸い込まれることにより、所謂A1アロイスパイクが発生することがある。このA1アロイスパイクは、場合によっては、金属層10の下方の半導体層を貫通することもあり、半導体装置1全体の微細化を妨げることになる。

【0008】 さらに、バイポーラトランジスタに関しては、金属層10による各電極10a, 10b, 10cが、A1アロイスパイクにより、それぞれn⁺型層7a, n⁺型層6を貫通して、その下のp型層5やn⁻型層4に直接に接触してしまうと、バイポーラトランジスタが構成され得なくなってしまう。また、ショットキーバリアダイオードに関しては、A1アロイスパイクによつて、金属層10dとn⁻型層4'の境界面が乱れることになり、ショットキーバリアダイオードの特性が損なわれてしまうという問題があった。

【0009】 本発明は、以上の点に鑑み、A1アロイスパイクの発生が抑制され得るようにした、半導体装置を提供することを目的としている。

【0010】

【課題を解決するための手段】上記目的は、本発明によれば、表面に酸化膜が形成された半導体基板上に関して、酸化膜に窓部を形成して、該窓部にて酸化膜の下方の半導体層を露出させ、該窓部の上に金属層を形成することにより、取出し電極または配線パターンを構成するようにした、半導体装置において、上記金属層が、シリコン含有率1%以下のA1-Si層から構成されていることを特徴とする、半導体装置により、達成される。

【0011】また、上記目的は、本発明によれば、表面に酸化膜が形成された半導体基板上に関して、酸化膜に窓部を形成して、該窓部にて酸化膜の下方の半導体層を露出させ、該窓部の上に金属層を形成することにより、該金属層と半導体層との間に整流性接合を構成するようにした、半導体装置において、上記金属層が、シリコン含有率1%以下のA1-Si層から構成されていることを特徴とする、半導体装置により、達成される。

【0012】

【作用】上記構成によれば、取出し電極または配線パターンあるいは整流性接合を構成する金属層が、pure-A1ではなく、シリコン含有率1%以下のA1-Si層から構成されているので、該金属層のシンタリング等の熱処理の際に、半導体層のシリコンが、金属層に吸い込まれるようなことはなく、A1アロイスパイクの発生が抑止され得る。

【0013】従って、半導体装置の微細化が可能になる、即ち、バイポーラトランジスタの場合には、各半導体層が確実に構成され得ることになり、またショットキーバリアダイオードの場合には、比較的低い順方向電圧が得られることになる。

【0014】尚、金属層が、上記条件から外れて、シリコン含有率1%以上のA1-Siから構成されている場合には、A1アロイスパイクの発生は抑止されるものの、順方向電圧が高くなってしまうので、ショットキーバリアダイオードとしての特性が劣化してしまうことになる。

【0015】

【実施例】以下、図面に示した実施例に基づいて、本発明を詳細に説明する。図1は、本発明を適用したバイポーラトランジスタ及びショットキーバリアダイオードを含む半導体装置の一実施例を示している。

【0016】図1において、半導体装置11は、バイポーラトランジスタの領域A(図1の左側)においては、p型シリコン基板12の表面に対して、熱拡散等によってn⁺型埋込層13を形成し、該基板12の表面全体に亘ってエピタキシャル成長等によりn⁻型層14を形成した後に、該n⁻型層14の周囲にp⁺型層12a, 12bを形成することにより、上記n⁻型層14を分離し、統いて、該n⁻型層14の表面に、熱拡散によりp型拡散層15を形成すると共に、該p型拡散層15とp

⁺型層12bの間の領域に、熱拡散によりn⁺型拡散層16を形成し、さらに該p型拡散層15の表面に、熱拡散によりn⁺型拡散層17a及びp⁺型拡散層17bを形成することにより、バイポーラトランジスタが構成されている。

【0017】また、バイポーラIC11の領域B(図1の右側)においては、p型シリコン基板12の表面に対して、熱拡散等によってn⁺型埋込層13'を形成し、該基板12の表面全体に亘ってエピタキシャル成長等によりn⁻型層14'を形成した後に、上記n⁻型層14'のn⁺型埋込層13'の上方領域の周囲に、熱拡散によりp型層15'を形成すると共に、該p型層15'の側方にて、該n⁻型層14'の表面に、熱拡散によりn型層18を形成することにより、ショットキーバリアダイオードが構成されている。

【0018】このように構成された半導体装置11は、さらに、その表面に酸化膜による絶縁層19を形成した後、該絶縁層19の電極取出し部分に窓部を形成して、下方の半導体層、即ちバイポーラトランジスタのn⁺型拡散層17a, p型拡散層15及びn⁺型拡散層16と、ショットキーバリアダイオードのp型層15'に包围されたn⁻型層14'及びn⁺型層18を露出させ、その上から、金属層20を形成する。これにより、バイポーラトランジスタにおいては、金属層20により、取出し電極20a, 20b, 20cが形成されることになり、またショットキーバリアダイオードにおいては、金属層20により、電極20dとその下方のn⁻型層14'の間に、整流性接合Cが構成されると共に、取出し電極20eが形成されることになる。さらに、その上から保護層を被せることにより、半導体装置11が完成するようになっている。

【0019】上記構成は、図2に示した従来の半導体装置1と同様の構成であるが、本発明実施例による半導体装置11においては、上記金属層20は、pure-A1ではなく、シリコン含有量1%以下のA1-Siから構成されている。

【0020】本発明による半導体装置10は、以上のように構成されており、半導体装置11のうち、バイポーラトランジスタは、p型拡散層15がベースとして、n⁺型拡散層16がコレクタとして、さらにn⁺型拡散層17aがエミッタとして、それぞれ作用するようになっている。また、ショットキーバリアダイオードは、電極20dと下方のn⁻型層14'の間の整流性接合Cがショットキーバリアを構成し、さらに金属層20eが取出し電極として作用し、その際、p型層15'がガードリングとして作用することにより、電界集中による逆方向リード電流を緩和するようになっている。

【0021】ここで、金属層20は、シリコン含有量1%以下のA1-Siから構成されているので、該金属層20のシンタリングまたはメタライズ等の熱処理の際

5

に、絶縁膜19を構成するシリコン酸化膜のシリコンが、金属層20に吸い込まれるようなことはない。従って、A1アロイスパイクの発生が抑止され得る。

【0022】これにより、バイポーラトランジスタの場合には、A1アロイスパイクが各半導体層17a, 16(特に半導体層17a)を貫通する事がないので、バイポーラトランジスタが確実に構成され得ることになる。また、ショットキーバリアダイオードの場合には、A1アロイスパイクが金属層20dとn⁻型層14'の間のショットキーバリアを乱す事がないので、比較的低い順方向電圧が得られることになる。かくして、半導体装置11の微細化が可能になる。

【0023】尚、金属層20が、上記条件から外れて、シリコン含有率1%以上のA1-Siから構成されている場合には、A1アロイスパイクの発生は抑止されるものの、順方向電圧が高くなってしまうので、ショットキーバリアダイオードとしての特性が劣化してしまうことになる。

【0024】上記実施例においては、半導体装置11として、バイポーラトランジスタ及びショットキーバリアダイオードの場合について説明したが、これに限らず、A1-Siアロイスパイクの発生により、構成または動作が損なわれるような、他の任意の構成の半導体装置に対して、本発明を適用し得ることは明らかである。

【0025】

【発明の効果】以上述べたように、本発明によれば、取出電極または配線パターンあるいは整流性接合を構成する金属層が、pure-A1ではなく、シリコン含有

6

率1%以下のA1-Si層から構成されているので、A1アロイスパイクの発生が抑止され得ることになり、半導体装置の微細化が可能になる。

【0026】かくして、本発明によれば、A1アロイスパイクの発生が抑制され、微細化が可能になると共に、ショットキーバリアダイオードの低い順方向電圧が得られるようにした、極めて優れた半導体装置が提供され得ることになる。

【図面の簡単な説明】

10

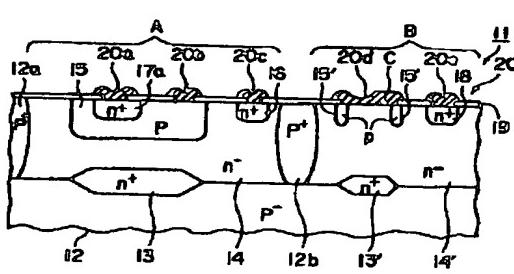
【図1】本発明による半導体装置の一実施例を示す概略断面図である。

【図2】従来の半導体装置の一例を示す概略断面図である。

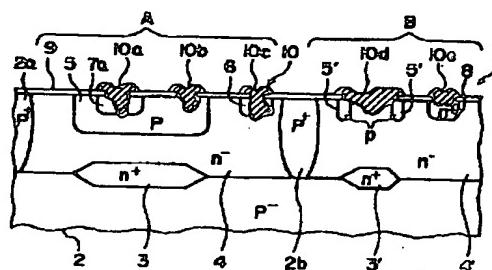
【符号の説明】

11	半導体装置
12	p ⁺ 型シリコン基板
12a, 12b	p ⁺ 型分離層
13, 13'	n ⁺ 型埋込層
14, 14'	n ⁻ 型層(半導体層)
15, 15'	p型拡散層
16, 17a, 18	n ⁺ 型拡散層(半導体層)
19	絶縁膜(酸化膜)
20	金属層(A1-Si層)
20a, 20b, 20c, 20e	金属層(A1-Si層)
20d	金属層(A1-Si層)
C	整流性接合

【図1】



【図2】



フロントページの続き

(51) Int. Cl. 6

H 01 L 21/331

29/73

識別記号 庁内整理番号

F I

技術表示箇所

THIS PAGE BLANK (USPTO)